

**PCT**WORLD INTELLECTUAL PROPERTY ORGANIZATION  
International Bureau

## INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

|  |           |   |
|--|-----------|---|
| (51) International Patent Classification 7 :<br><b>G11C 11/16, 11/15</b> | <b>A1</b> | (11) International Publication Number:<br><b>WO 00/38192</b>    |
|  |           | (43) International Publication Date:<br>29 June 2000 (29.06.00) |

(21) International Application Number: PCT/US99/29310

(22) International Filing Date: 13 December 1999 (13.12.99)

(30) Priority Data:  
09/215,386 18 December 1998 (18.12.98) US

(71) Applicant: MOTOROLA INC. [US/US]; 1303 East Algonquin Road, Schaumburg, IL 60196 (US).

(72) Inventor: NAJI, Peter, K.; 14028 South 9th Street, Phoenix, AZ 85048 (US).

(74) Agents: KOCH, William, E. et al.; Motorola, Inc., Intellectual Property Dept., P.O. Box 10219, Scottsdale, AZ 85271-0219 (US).

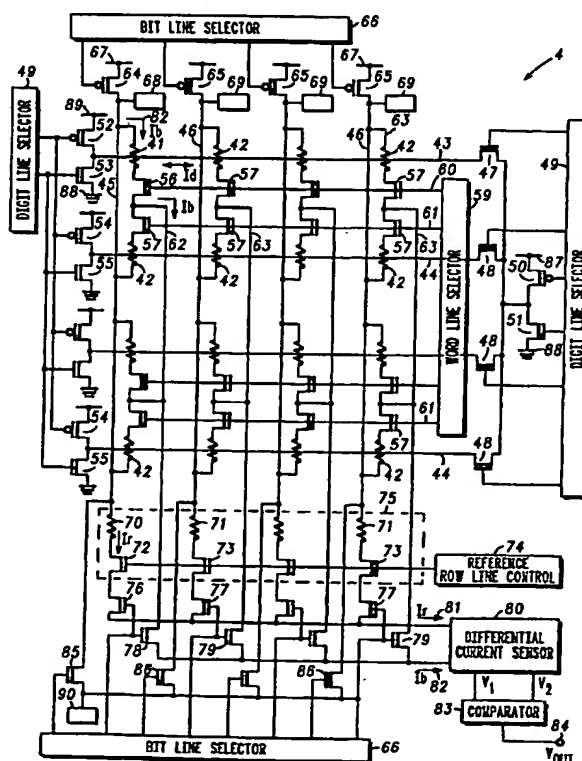
(81) Designated States: JP, KR, SG, European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

**Published***With international search report.**Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.*

(54) Title: MAGNETIC RANDOM ACCESS MEMORY WITH A REFERENCE MEMORY ARRAY

## (57) Abstract

An MRAM device (4) includes a memory array and a reference memory array (75). The memory array arranges magnetic memory cells (41, 42) in rows and columns for storing information, and the reference memory array forms reference memory cells (70, 71) for holding a reference information in a row line. The magnetic memory cell has a maximum resistance ( $R+\Delta R$ ) and a minimum resistance ( $R$ ) according to magnetic states in the cell. Each reference memory cell has a magnetic memory cell (70, 71) and a transistor (72, 73), which are coupled in series and have a reference resistance across the reference memory cell and the transistor. The transistor is controlled by a reference row line control (74), so as for the reference resistance to show a mid-value between the maximum resistance and the minimum resistance of the magnetic memory cell. A bit line current ( $I_b$ ) and a reference bit current ( $I_r$ ) are provided to the magnetic memory cell and the reference memory cell, respectively. Magnetic states alternates the bit line current, which is compared to the reference bit current to provide an output.



# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 특2001-0034057  
G11C 11/16 (43) 공개일자 2001년04월25일

(21) 출원번호 10-2000-7007666  
(22) 출원일자 2000년07월 12일  
    번역문제출일자 2000년07월 12일  
(86) 국제출원번호 PCT/US1999/29310 (87) 국제공개번호 WO 2000/38192  
(86) 국제출원출원일자 1999년12월 13일 (87) 국제공개일자 2000년06월29일  
(81) 지정국 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 독일 덴마크  
    스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코  
    네덜란드 포르투갈 스웨덴 핀란드 사이프러스  
    국내특허 : 일본 대한민국 싱가포르  
(30) 우선권주장 09/215,386 1998년12월18일 미국(US)  
(71) 출원인 모토로라 인코포레이티드 비센트 비.인그라시아  
    미국, 일리노이 60196, 샤움버그, 이스트 앨공컨 로드 1303모토로라 인코포  
    레이티드 알크 엠 아헨  
    미국, 일리노이 60196, 샤움버그, 이스트 앨공컨 로드 1303  
(72) 발명자 나지,피터케이.  
    미국,아리조나주85048,포닉스,사우스나인쓰스트리트14028  
(74) 대리인 문경진, 조현석

심사청구 : 없음

(54) 기준 메모리 어레이를 갖는 자기 임의 접근 메모리

## 요약

MRAM 디바이스(4)는 메모리 어레이와 기준 메모리 어레이(75)를 포함한다. 메모리 어레이는 정보를 저장하기 위해서 자기 메모리 셀(41 및 42)을 행과 열로 배열하며, 기준 메모리 어레이는 행의 선(row line)으로 기준 정보를 유지하기 위해서 기준 메모리 셀(70 및 71)을 형성한다. 자기 메모리 셀은 셀의 자기 상태(magnetic states)에 따라 최대 저항( $R_{max}$ )과 최소 저항( $R$ )을 갖는다. 각 기준 메모리 셀은 자기 메모리 셀(70 및 71)과 트랜지스터(72 및 73)를 가지며, 상기 자기 메모리 셀과 트랜지스터는 서로 직렬로 연결되고, 상기 직렬 연결을 가로질러 기준 저항을 갖는다. 트랜지스터는 기준 행의 선 제어(74)에 의해 제어되어, 상기 기준 저항이 자기 메모리 셀의 최대 저항과 최소 저항 사이의 중간 값을 나타내게 한다. 비트선 전류( $I_b$ )와 기준 비트 전류( $I_r$ )는 각각 자기 메모리 셀과 기준 메모리 셀에 제공된다. 자기 상태(magnetic states)는 비트선 전류를 교대하며, 이 비트선 전류는 출력을 제공하기 위해 기준 비트 전류에 비교된다.

## 대표도

## 도4

## 명세서

## 기술분야

본 발명은 자기 임의 접근 메모리(magnetic random access memory)에 관한 것으로, 좀더 자세히는 기준 메모리 어레이를 갖는 자기 임의 접근 메모리에 관한 것이다.

## 배경기술

불휘발성 메모리 디바이스(device) 중 하나인 자기저항 임의 접근 메모리(MRAM : Magnetoresistive random access memory)는 다수의 자기 메모리 셀을 포함한다. 자기저항 효과가, 자기층(magnetic layers)과 비-자기층(non-magnetic layers)에 의해 선택적으로 스택(stack)된 멀티-층의 필름에서 나타난다는 사실이 공지된다. 자기 메모리 셀에 대한 자기저항(magnetic resistance)은, 자기층에서의 자화 벡터(magnetization vectors)가 각각 같은 혹은 반대 방향을 가리킬 때 최소 및 최대 값을 나타낸다. 두 자기층에서의 자화 벡터의 같은 및 반대 방향은 각각 "평행" 및 "반-평행(anti-parallel)" 상태로 지칭된다. 자성을 띤 재료가 메모리 디바이스에 사용될 때, 평행 및 반-평행 방향은, 예를 들면 논리적으로 각각 "0"과 "1"로 정의된다. 자기층에서의 자화 벡터는, 스위칭 지점에 대해 자계를 인가함으로써 매우 빠르게 또 다른 방향으로 스위칭되며, 심지어 자계가 없을 때에도 자화 방향을 유지한다.

보통, MRAM 디바이스는 금속선(metal line)의 교차점 상에서 배열된 자기 메모리 셀을 가지며, 상기 자

기 메모리 셀은 행과 열로 놓인다. MRAM 회로는, 비트선(bit line), 기준선 및 디지털선(digit line)을 갖는 MRAM 뱅크를 나타낸다. 기준선은 비트선과는 평행하게, 디지털선과는 수직으로 놓인다. 이러한 선의 각 교차점 상에서, 메모리 셀 및 기준 셀은 행과 열로 배열된다. 기준 셀은 메모리 셀에 저장된 상태를 감지하는데 사용된다.

일반적으로, MRAM 디바이스는 반도체 혹은 유리와 같은 기판 상에 형성된다. 자기 및 비-자기층은 연속해서 기판 상에 증착되고, 자기 메모리 셀(magnetic memory cell)을 형성하도록 에칭되며, 자기 메모리 셀은 이를테면  $0.2\mu\text{m} \times 0.3\mu\text{m}$ 의 크기를 갖는다. 일반적으로, 자기층은 10-100Å의 두께를 가지며, 반면 비-자기층은 10-30Å의 두께이다. MRAM 디바이스는 고유 정보를 저장하기 위한 자기 메모리 셀과 기준 상태가 유지되는 기준 자기 메모리 셀을 포함한다. 자기 메모리 셀(활성 혹은 목표 셀)에 저장된 상태를 판독하기 위해서, 감지 전류와 기준 전류가 각각 목표 셀과 기준 자기 메모리 셀(기준셀)에 인가된다. 목표 및 기준 셀은, 각각 목표 및 기준 셀의 자기저항 값에 해당하는, 셀 양단에 전압 강하를 생성한다. 이러한 전압은, 목표 셀에서 상태를 결정하기 위해서 서로 비교된다. 따라서, 목표 셀을 기준 셀과 정확하게 비교하기 위해서, 자기저항의 상대적인 변동이 없는 자기 메모리 셀을 갖는 MRAM 디바이스를 제공하는 것이 바람직하다.

따라서, 고속, 고밀도 및 저전력의 메모리를 갖는 개선된 MRAM 디바이스를 제공하는 것이 바로 본 발명의 목적이다.

높은 신뢰도의 판독 처리를 갖는 개선된 MRAM 디바이스를 제공하는 것이 바로 본 발명의 또 다른 목적이다.

자기 메모리 셀에의 자기저항의 변동을 줄이는 개선된 MRAM 디바이스를 제공하는 것이 바로 본 발명의 추가적인 또 다른 목적이다.

#### 발명의 상세한 설명

이러한 요구 및 다른 요구는, 기준 메모리 어레이를 포함하는 자기저항 임의의 접근 메모리(MRAM) 디바이스의 제공을 통해 상당히 충족된다. MRAM 디바이스는, 비트선과 디지털선의 교차점 상에 놓이는 다수의 자기 메모리 셀을 갖는다. 기준 메모리 어레이는 다수의 기준 셀과 저항 요소를 갖는다. 각 기준 셀은 저항 요소에 직렬로 연결된다. 기준 셀과 저항 요소를 가로지르는 총 저항은 목표 셀의 최대 저항과 최소 저항 사이의 저항으로 설정되며, 이에 따라 출력을 제공하기 위해서, 목표 저항의 자기저항을 기준 셀 중 하나와 비교하는 것이 가능하게 된다. 일반적으로, 총 저항은 최대 및 최소 저항 값 사이의 중간 값이다.

#### 도면의 간단한 설명

도 1은 판독 모드 상에서 MRAM 디바이스에 형성된 기본 회로를 도시한 도면.

도 2는 비-자기층에 의해 분리된 자기층을 갖는 자기 메모리 셀을 도시하는 간략화되고, 확대된 도면.

도 3은 도 2에 기술된 자기 메모리 셀의 히스테리시스(hysteresis) 특성을 예시하는 그래프.

도 4는 MRAM 디바이스 회로를 도시한 도면.

도 5는 또 다른 MRAM 디바이스 회로를 도시한 도면.

#### 실시예

도 1은 MRAM 디바이스에서 판독 동작을 예시하는 기본 회로(1)를 도시한다. 선택기(10)는 목표 자기 메모리 셀(목표 셀)(11)과 기준 자기 메모리 셀(기준 셀)(12)을 선택하며, 이러한 목표 및 기준 자기 메모리 셀은 워드선(word line)(13)과 비트선(14)에 의해 단언(assert)된다. 이러한 셀은 동일한 구조이고, 각 셀은 비-자기층에 의해 분리된 자기층을 갖는다. 이러한 셀의 구조와 특성은 도 2와 도 3에서 기술되며, 상세한 사항은 아래에서 설명될 것이다. 목표 셀(11)이 스위칭 트랜지스터(16 및 17)를 통해 전류 센서(15)에 직렬로 연결되는 반면, 기준 셀(12)은 트랜지스터(18)와 스위칭 트랜지스터(19)를 통해 전류 센서(15)에 직렬로 연결된다. 기준 셀(12)과 트랜지스터(18)는 기준 요소(20)를 형성한다. 기준 요소 제어기(21)는 기준 행의 선(row line)(22)을 통해서 트랜지스터(18)에 연결되며, 이 기준 행의 선에는 트랜지스터(18)의 드레인-소스 저항을 결정하기 위한 저항 제어 신호가 제공된다. 전류 센서(15)는 비트선(23) 상의 비트 전류( $I_b$ )를 검출하고, 기준 비트선(24) 상의 기준 전류( $I_r$ )를 검출하며, 각각 전압( $V_1$  및  $V_2$ )으로 전환된다. 전압( $V_1$  및  $V_2$ )은 각각 비교기(25)의 양극 및 음극 입력에 인가된다. 도 1에 도시된 바와 같이, 전류 센서(15)는, 예를 들면 저항(26 및 27)과 증폭기(28 및 29)에 의해 형성된다. 저항(26)에 흐르는 비트 전류( $I_b$ )는 저항(26) 양단에 전압 강하를 발생시키며, 이 전압 강하는 전압( $V_1$ )을 생성시키기 위해 증폭기(28)에 의해 증폭된다. 전류( $I_r$ )는 전류( $I_b$ )와 같은 방식으로  $V_2$ 로 전환된다. 전류 센서(15)의 출력은 비교기(25)에 연결되고, 여기서 전압( $V_1$ 과  $V_2$ )은 출력 단자(30)에 출력 전압( $V_{out}$ )을 제공하기 위해 비교된다.

도 2 및 도 3은 각각 간략화되고, 확대된 자기 메모리 셀(2)의 등각 투상도(isometric view)와 도 2의 셀(2)에 대한 히스테리시스 특성(35)을 도시한다. 다른 유형의 자기 메모리 셀이 메모리 디바이스에 사용될 수 있음이 주지되어야 한다. 셀(2)은, 비-자기층(33)에 의해 분리된 제 1 자기층(31)과 제 2 자기층(32)을 포함하는 세 개의 층을 갖는다. 제 1 자기층(31)과 제 2 자기층(32)은 CoFe 및 NiFeCo와 같은 자기 물질을 이용한다. 제 1 자기층(31)에서의 자화 벡터는, 예를 들면 상기 층(31)에 인접한 곳에 위치한 비강자성체(antiferromagnetic) 층(미도시)에 의해 자기적으로 피닝(pinning)된다. 자기적으로 자유로운(magnetically free) 제 2 자기층(32)은 외부 자계에 따라 자화 벡터를 교대한다. 비-자기층(33)은, 예를 들면  $\text{Al}_2\text{O}_3$ 와 같은 절연 물질에 의해 형성되며, 대략 20Å의 두께를 갖는다. 이러한 얇은 두께는 비-자기층(33)이 제 1 자기층(31)과 제 2 자기층(32) 사이에서 터널 접합(tunneling junction)을 형

성하게 하며, 이 터널 접합을 통해서 터널 전류가 흐른다. 도 3에 나타난 바와 같이, 메모리 셀의 자기 저항은, 비-자기층(33)에서의 터널 전류에 변화를 야기하는 제 2 자기층(32)에서의 자화의 방향에 따라 변한다. 자기층은 미국 특허 제 5,757,695호에 나타난 바와 같이 자화를 충분히 정렬하도록 하는 형태로 만들어 질 것이다.

다시, 도 3을 참조하면, 도 3의 횡좌표는 셀(2)에 인가된 자계의 방향과 세기를 나타낸다. 종좌표는 셀(2)의 자기저항을 나타낸다. 셀(2)이 층(31 및 32)에서의 자화 벡터가 어떠한 외부 자계의 영향이 없을 때 평행 상태(같은 방향)를 가리키는 상태에 있다고 가정하면, 외부 자계는 횡좌표의 오른쪽으로 이동하여 값(H1)으로 변한다. 곡선(36)에 의해 도시된 바와 같이, 제 2 자기(자유로운) 층(32)에서의 자화 벡터는 자계(H1)에서 왼쪽으로 스위칭하며, 층(31 및 32)에서의 자화 벡터는, 화살표(37)에 의해 지시된 바와 같이 반-평행 상태(반대 방향)로 향하게 된다. 결국, 셀(2)의 자기저항은 R로부터  $R_{\text{max}}$ 만큼 증가한다. 다음으로, 곡선(38)에 의해 나타난 바와 같이 자계를 H1으로부터 변경시키면, 제 2 자기층(32)에서의 자화 벡터는 자계(2)에서 오른쪽으로 스위칭된다. 따라서, 자기저항은 R로  $R_{\text{min}}$ 만큼 낮아지며, 층(31 및 32)에서의 자화 벡터는 화살표(39)에서 나타난 바와 같이 평행 방향을 가리킨다. 메모리 셀 구조의 예는 미국 특허 제 5,768,181호에 나타난다.

다시, 도 1을 참조하면, 선택기(10)는 워드선(13)을 통해서 워드 신호를 제공하고, 비트선(14)을 통해서 비트 신호를 제공하며, 이러한 신호는 스위칭 트랜지스터(16, 17 및 19)가 켜지게(ON)하고, 비트 전류(Ib)가 목표 셀(11)에 흐르게 한다. 목표 셀(11)은 전류(Ib)의 크기를 결정하고, 전류(Ib)는 목표 셀(11)에 저장된 자기 상태(magnetic state)에 의존한다. 기준 요소 제어기(21)는, 트랜지스터(18)의 드레인-소스 저항을 제어하기 위해서 기준 행의 선(22)을 통해서 저항 제어 신호를 제공한다. 비교기(25)가 목표 셀(11)에서의 상태를 기준 셀(12)에서의 상태와 비교하기 위해서, 트랜지스터(18)는, 목표 셀(11)의 최대 저항( $R_{\text{max}}$ )과 최소 저항(R) 사이에서 기준 요소(20)를 가로지르는 총 저항을 수립하며, 일반적으로 이 총 저항은  $R_{\text{max}}/2$ 과 같은 중간 저항 값이다. 전류(Ib) 및 전류(Ir)는 각각 전압(V1) 및 전압(V2)으로 전환되며, 전압(V1 및 V2)은, 출력 단자(30)에서 출력 전압(Vout)을 제공하기 위해서 비교기(25)에서 비교된다. 전류(Ib)가 전류(Ir)보다 더 작을 때, 즉 전압(V1)이 전압(V2)보다 더 낮을 때, 비교기(25)는 낮은 전압을 단자(30)에 보내며, 이것은 목표 셀(11)이 최대 저항( $R_{\text{max}}$ )을 가지며, "반평행(antiparallel)" 상태에 있음을 의미한다. 이에 반하여, 전압(V1)이 전압(V2)보다 더 높다면, 비교기(22)는 높은 전압을 단자(30)에 제공하며, 이것은 목표 셀(11)이 최소 저항(R)을 가지며, "평행" 상태에 있음을 의미한다.

앞에서 언급한 바와 같이, 트랜지스터(18)는, 기준 셀(12)과 트랜지스터(18)의 총 저항이 자기 메모리 셀의 최대 및 최소 저항 사이의 저항을 생성하도록 제어된다. 이것은 비교기(25)가 목표 셀(11)에 저장된 자기 상태를 결정하는 것을 가능하게 한다.

도 4를 참조하면, MRAM 디바이스의 회로(4)가 기술된다. 다수의 자기 메모리 셀(41 및 42)은 디지털선(43 및 44)과 기준 비트선(45 및 46)의 교차점 상에 행과 열로 놓인다. 디지털선(43 및 44)은 각각 트랜지스터(47 및 48)와 트랜지스터(50 내지 55)에 연결된다. 디지털선 선택기는 디지털선(43 및 44) 중 하나를 활성화시키며, 디지털 전류의 방향을 결정한다. 트랜지스터 쌍(50과 51, 52와 53 및 54와 55)은 디지털 전류의 전류 방향을 결정한다. 셀(41 및 42)은 각각 스위칭 트랜지스터(56 및 57)에 직렬로 연결된다. 트랜지스터(56 및 57)의 게이트 전극은 워드선(60 및 61)을 통해서 워드선 선택기에 연결된다.

기준 비트선(45 및 46)은 디지털선(43 및 44)에 수직으로 놓이며, 각각 트랜지스터(64 내지 65)에 연결된다. 트랜지스터(64 및 65)의 게이트 전극은 함께 비트선 선택기(66)에 연결되지만, 트랜지스터(64 및 65)의 드레인 전극은 전력선(67)에 연결된다. 기록 전류(writing current)를 자기 메모리 셀에 공급하는 프로그래밍 전류 소스(68 및 69)는 각각 기준 비트선(45 및 46)에 연결된다.

기준 비트선(45 및 46)은 기준 자기 메모리 셀(기준 셀)(70 및 71)에 연결되며, 셀(41 및 42)과 동일한 메모리 구조를 갖는다. 기준 셀(70 및 71)은 각각 트랜지스터(72 및 73)에 직렬로 연결된다. 트랜지스터(72 및 73)의 게이트 전극은 기준 행의 선 제어(reference row line control)(74)에 함께 연결되고, 이 기준 행의 선 제어(74)는 트랜지스터(72 및 73)의 드레인-소스의 저항 값을 제어한다. 기준 셀(70 및 71)과 트랜지스터(72 및 73)는, 점선으로 도시한 바와 같이 행의 선 메모리 어레이(row line memory array)(75)를 형성한다. 기준 셀(70 및 71)은 도 1에서의 기준 셀(12)과 같고, 반면 트랜지스터(72 및 73)는 트랜지스터(18)와 같다. 트랜지스터(72 및 73)는 각각 트랜지스터(76 및 77)에 연결된다. 비트선(62 및 63)은 각각 트랜지스터(78 및 79)에 직렬로 연결된다. 트랜지스터(76 및 77)의 소스 전극은 화살표(81)에 의해 나타난 기준 전류(Ir)를 제공하기 위해서 전류 센서(80)에 함께 연결되고, 또한 트랜지스터(78 및 79)의 소스 전극은 화살표(82)에 의해 나타난 비트 전류(Ib)를 제공하기 위해서 전류 센서(80)에 함께 연결된다. 센서(80)의 출력은 출력 단자(84)에 출력 전압(Vout)을 제공하기 위해서 비교기(83)에 연결된다. 전류 센서(80) 및 비교기(83)는 도 1에서의 센서(15) 및 비교기(22)와 같다. 기록 모드 상의 비트선 선택기(66)에 의해 제어되는 트랜지스터(85 및 86)는 각각 기준 비트선(45 및 46)에 연결된다.

다음으로, 판독 모드는 다음의 단계에 따라 수행되며, 이 단계는 예를 들면 목표 셀(41)을 감지한다. 먼저, 워드선 선택기(59)는 트랜지스터(56)를 켜기(ON)위해서 워드선(60)을 통해서 워드 신호를 제공한다. 기준 행의 선 제어(74)는 트랜지스터(72)에 저항 제어 신호를 보내며, 트랜지스터(72)는 기준 셀(70) 및 트랜지스터(72)를 가로질러 중간 저항 값( $R_{\text{max}}/2$ )을 전달한다. 결국, 비트선 선택기(66)는 트랜지스터(76 및 78)를 켜기 위해서 신호를 인가하고, 기준 비트선(45)을 활성화시키기 위한 신호를 트랜지스터(64)에 인가하며, 이로 인해 트랜지스터(64, 76 및 78)는 모두 켜진다. 따라서, 트랜지스터(56, 64, 72, 76 및 78)의 활성화는 도 1의 기본 회로와 같이 MRAM 디바이스 회로(4)에서 동일한 회로를 형성하며, 비트 전류(Ib) 및 기준 비트 전류(Ir)가 비트선(62) 및 기준 비트선(45)에 흐르게 한다. 즉, 비트 전류(Ib)는 전력선(67)으로부터 트랜지스터(64), 목표 셀(41), 트랜지스터(56 및 78)를 통해서 전류 센서(80)로 흐르고, 기준 비트 전류(Ir)는 전력선(67)으로부터 트랜지스터(64), 셀(81), 트랜지스터(72 및 76)를 통해서 전류 센서(80)로 흐른다.

도 1에서 앞서 언급한 바와 같이, 비트 전류(Ib) 및 기준 비트 전류(Ir)는 셀(41)에 저장된 상태에 따라 변한다. 전류 센서(80)는 이러한 전류(Ib 및 Ir)를 각각 전압(V1 및 V2)으로 전환하며, 이 전압(V1 및 V2)은 비교기(83)에 전달된다. 비교기(83)는 출력 단자(84)에 출력 전압(Vout)을 제공하기 위해서 전압(V1)과 전압(V2)을 비교한다. 일반적으로, 출력 단자(84)는 컴퓨터 시스템에서 데이터 버스(도 4에 미도시)에 연결된다.

자기 메모리 셀에 상태를 기록하기 위해서, 디지털 전류 및 비트 전류는 디지털선 및 기준 비트선에 인가된다. 디지털 전류 및 비트 전류는 각각 자계를 생성시키며, 결합된 자계는 셀에서 상태를 변경시키기에 충분하다. 결합된 자계의 방향은 셀에 저장될 상태를 결정한다. 셀(41)이, 예를 들면 상태를 기록하기 위해서 접근될 때, 디지털선 선택기(49)는 디지털선(43)을 활성화시키기 위해 트랜지스터(47)를 켜고, 비트선 선택기(66)는 기준 비트선(45)을 활성화시키기 위해 트랜지스터(85)를 켜고, 트랜지스터(56, 64, 76 및 78)는 셀(41)에 전류가 흐르는 것을 방지하기 위해서 모두 꺼진다. 트랜지스터(85)를 켜는 것은 비트 전류가 전류 소스(68)로부터 기준 비트선(45) 및 트랜지스터(85)를 통해서 전류 싱크(sink)(90)로 흐르게 한다. 비트 전류는 결합된 자계 중 절반에 기여한다. 디지털선 선택기(49)는 디지털선(43)을 통해 디지털 전류를 제공할 뿐 아니라 셀(41)에 저장되는 상태에 따라 전류 방향을 결정한다. 디지털 전류는 상기 결합된 자계의 또 다른 절반을 생성하는데 지원한다.

논리 "0"이 셀(41)에 기록될 때, 디지털선 선택기(49)는 트랜지스터(50 및 53)를 켜고, 트랜지스터(51 및 52)는 끄고, 이로 인해 디지털 전류(Id)가 전력선(87)으로부터 트랜지스터(50 및 47), 디지털선(43) 및 트랜지스터(53)를 통해서 공통선(88)으로 흐른다. 디지털 전류(Id)는 결합된 자계가 셀(41)에서 "평행" 상태를 이루게 한다. 교대로, 논리 "1"이 셀(41)에 저장될 때, 트랜지스터(51 및 52)는 켜지고, 트랜지스터(50 및 53)는 꺼진다. 그 결과, 디지털 전류(Id)가 디지털선(43)에 제공되어 전력선(89)으로부터 트랜지스터(52), 디지털선(43) 및 트랜지스터(47 및 51)를 통해서 공통선(88)으로 흐른다. 이러한 디지털 전류는 결합된 자계가 셀(41)에서 "반평행" 상태를 형성하도록 지원한다.

도 5를 참조하면, 또 다른 유형의 MRAM 회로(5)가 도시된다. MRAM 회로(5)는, 공유 비트선(91 및 92)과 비트선 선택기(93)를 제외하면 회로(4)와 동일하다. MRAM 회로(5)가 공유 비트선을 포함하기 때문에, 더 작은 칩 면적 및 더 높은 밀도를 갖는 MRAM 디바이스를 얻는다. 도 4와 동일한 참조 번호를 갖는 도 5의 부분은 도 4의 해당 요소와 동일하다. 동일한 회로 구성에 대한 설명은 간략화하기 위해 생략된다.

도 4의 트랜지스터(75)에 해당하는 트랜지스터(94 및 95)의 소스 전극은 공유 비트선(91)에 함께 연결된다. 트랜지스터(96)가 공유 비트선(91)을 차동 전류 센서(80)에 연결하는 반면에 트랜지스터(97)를 통해서 공유 비트선(92)은 차동 전류 센서(80)에 연결된다. 비트선 선택기(93)는 비트 전류 및 기준 비트 전류를 제공하기 위해서 트랜지스터(98 내지 101) 중 하나를 선택한다.

메모리 셀(41)을 판독하는 동작에서, 예를 들면 비트선 선택기(66 및 93)는 트랜지스터(76, 96 및 98)를 켜고, 동시에 워드선 선택기(59)는 워드선 신호를 트랜지스터(94)에 제공하고, 반면에 기준 행의 선 제어(74)는 기준 행의 선 신호를 트랜지스터(72)에 전달한다. 트랜지스터(98, 94 및 96)를 켜는 것은 화살표(82)로 나타난 비트 전류(Ib)가 전력선(67)으로부터 트랜지스터(98), 셀(41), 트랜지스터(94), 공유 비트선(91) 및 트랜지스터(96)를 통해서 차동 전류 센서(80)로 흐르게 한다. 그리고 또한 화살표(81)로 나타난 기준 비트 전류(Ir)는 기준 셀(70)에 제공되며, 트랜지스터(72 및 76)를 통해서 전류 센서(80)로 흐른다.

앞서 언급한 바와 같이, 차동 전류 센서(80)는 전류(Ib 및 Ir)를 모두 감지하고, 상기 전류를 각각 전압(V1 및 V2)으로 전환한다. 비교기(83)는, 자기 셀(41)에 저장된 자기 상태에 해당하는 출력 전압(Vout)을 출력 단자(84)에 제공하기 위해서 전압(V1)과 전압(V2)을 비교한다.

다음으로, 메모리 셀(42)에서 상태를 판독하기 위해서, 트랜지스터(99, 95 및 96)가 켜지며, 이로 인해 비트 전류는 전력선(67)으로부터 트랜지스터(99), 셀(42), 트랜지스터(95), 공유 비트선(91) 및 트랜지스터(96)를 통해서 전류 센서(80)로 흐른다. 즉, 공유 비트선(91)은 셀(41) 뿐만 아니라 셀(42)을 감지하는데 사용된다. 나아가, 자기 메모리 셀(102 및 103)은 또한 전력선(67)으로부터 전류 센서(80)로 비트 전류를 제공하기 위해서 공유 비트선(91)을 이용한다.

메모리 셀(41)에 상태를 저장하기 위해서, 예를 들면 비트선 선택기(66)는 기준 비트선(45)에 접근하기 위해서 트랜지스터(85)를 켜며, 이것은 전류 소스(68)가 기준 비트선(45) 상의 비트 전류를 전류 싱크(90)에 제공하게 한다. 나아가, 디지털선 선택기(49)는 디지털선(43) 상에 디지털 전류를 제공하도록 트랜지스터(47, 50 내지 53)를 제어한다. 이러한 단계는 도 4에 도시한 회로(4)에 대해 앞서 기술한 바와 동일한 처리 공정이다.

따라서, 새롭고 개선된 MRAM 디바이스가 충분히 개시되어지며, 이 새롭고 개선된 MRAM 디바이스는 행의 선(row line) 상에 기준 메모리 어레이를 포함한다. 기준 메모리 어레이는 자기 메모리 셀의 상대적인 저항 값의 변동을 보상하고 및 제거하며, 이것은 정상 판독 기능(steady reading function), 고속 및 높은 신뢰도를 제공한다.

### 산업상 이용가능성

본 발명의 특정 실시예가 도시되고, 설명되는 동안, 추가적인 변경과 개선이 당업자에게 발생할 것이다. 본 발명은 도시된 특정 형태로 제한되지 않고, 첨부된 청구항은 본 발명의 정신과 범위에 벗어나지 않는 변경을 포함함을 이해해야 할 것이다.

### (57) 청구의 범위

#### 청구항 1

자기 임의 접근 메모리(magnetic random access memory)에 있어서,

제 1 전기 전도성 선(conductive line)과,

상기 제 1 전기 전도성 선에 직렬로 연결된 자기 메모리 셀(magnetic memory cell)로서, 상기 자기 메모리 셀에 저장된 자화 벡터(magnetization vectors)의 방향에 따라 최대 자기저항(magnetic resistance)과 최소 자기저항 사이에서 스위칭하는 자기저항을 갖는, 자기 메모리 셀과,

제 2 전기 전도성 선과,

상기 제 2 전기 전도성 선과 직렬로 연결된 기준 자기 메모리 셀로서, 사전에 결정된 자기저항을 갖는, 기준 자기 메모리 셀과, 및

상기 기준 자기 메모리 셀에 직렬로 연결된 저항 요소로서, 상기 기준 자기 메모리 셀과 상기 자기 요소를 가로지르는 총 저항(total resistance)은 상기 최소 자기저항과 상기 최대 자기저항 사이에서 설정되는, 저항 요소를 포함하는, 자기 임의 접근 메모리.

## 청구항 2

메모리 어레이(array)와 기준 메모리 어레이를 포함하는 자기 임의 접근 메모리 디바이스(device)로서,

상기 메모리 어레이는 각각 전기적으로 전도성을 갖는 다수의 비트선(bit lines)과,

각각 전기적으로 전도성을 가지며, 상기 비트선에 수직으로 위치하는 다수의 디지털선(digit lines)과,

각각 상기 다수의 비트선과 상기 다수의 디지털선의 각 교차점에 위치하며, 상기 비트선에 전기적으로 직렬로 연결되는 다수의 자기 메모리 셀을 포함하며,

상기 기준 메모리 어레이는 전기적으로 전도성인 기준선과,

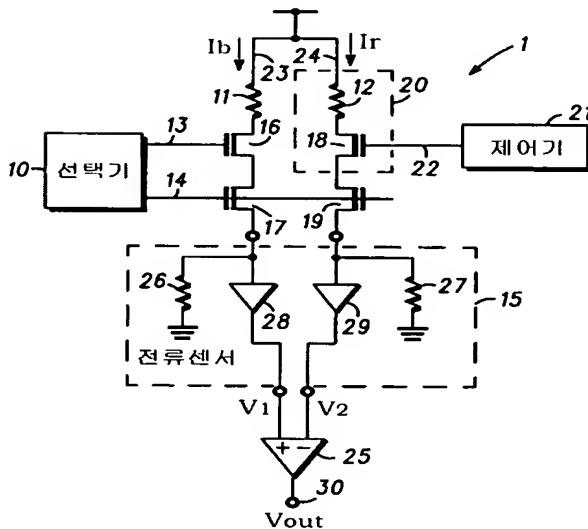
각각 전기적으로 전도성을 갖는 다수의 기준 비트선과,

각각 상기 각각의 기준 비트선에 전기적으로 직렬로 연결되는 다수의 기준 자기 메모리 셀과,

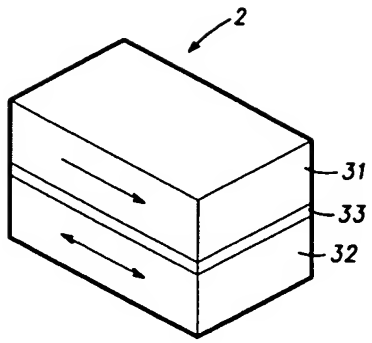
각각 기준 자기 메모리 셀에 전기적으로 직렬로 연결되며, 상기 기준선에 전기적으로 연결되는 다수의 저항 요소를 포함하는, 자기 임의 접근 메모리 디바이스.

## 도면

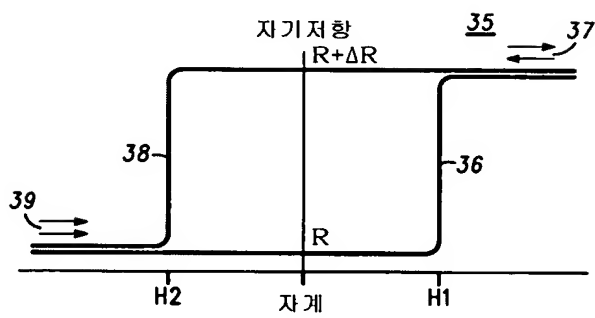
도면1



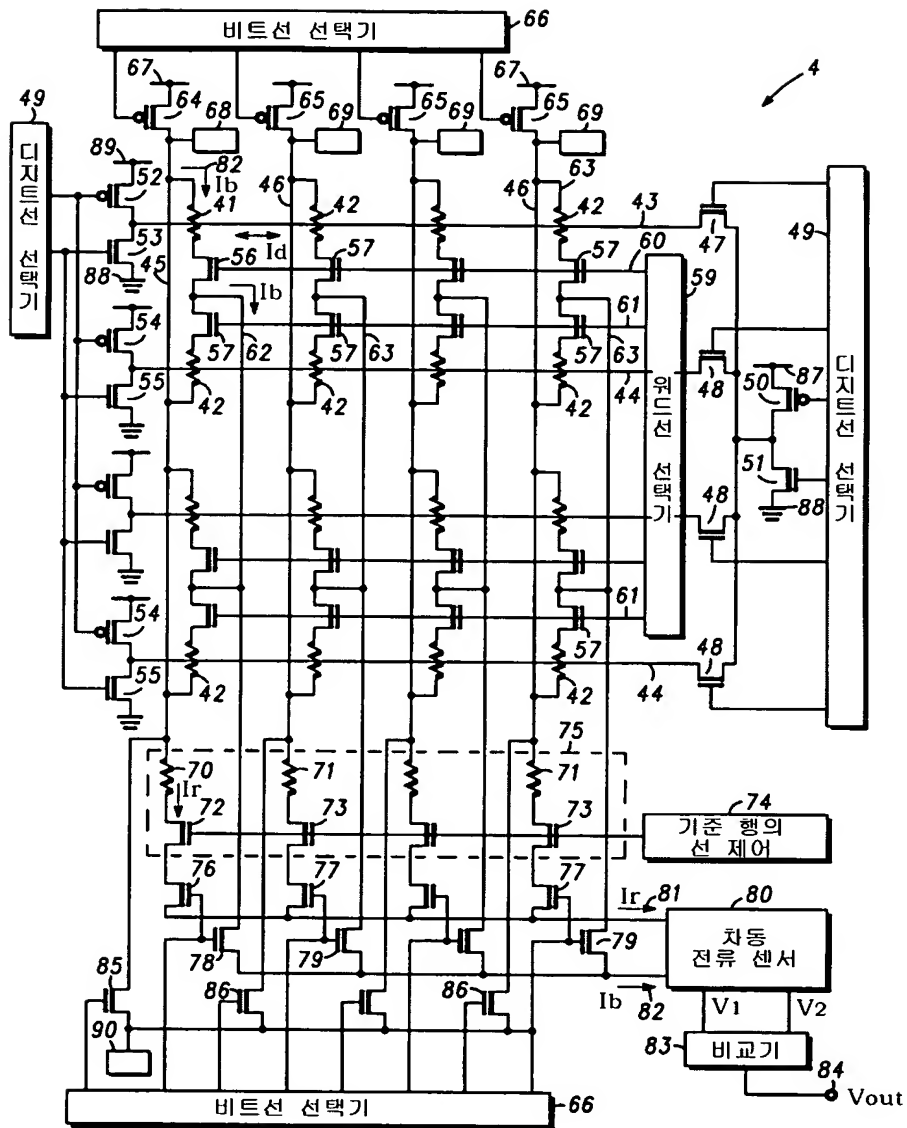
도면2



도면3



도면4





도면5

